

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064953

(43)Date of publication of application : 06.03.1998

(51)Int.Cl. H01L 21/60

(21)Application number : 08-218928

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.08.1996

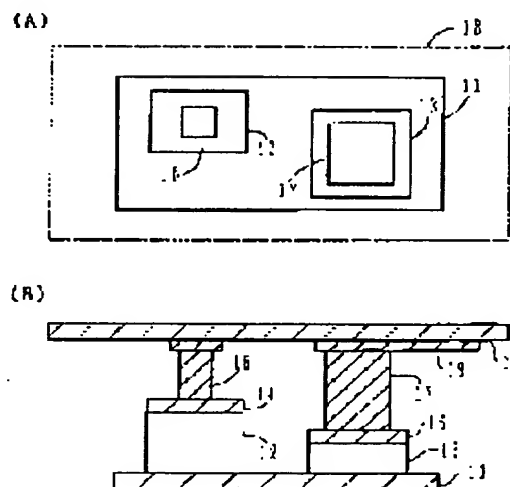
(72)Inventor : SHIMURA TADAYUKI

(54) FACE-DOWN BONDING SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize uniform face-down bonding through the use of a semiconductor substrate having a level difference on the surface and pillars, in a face-down bonding semiconductor device and its manufacture method, which is suitable for flip-chip-bonding of the semiconductor substrate having electric connection parts different in surface height on an insulating substrate having wiring electrodes.

SOLUTION: In the conductive pillars 16 and 17 which electrically and mechanically connect the electric connection parts with different surface height of a semiconductor substrate 11 and the wiring electrodes 19 formed on the surface of an insulating substrate 18, the relatively high pillar 17 has a larger diameter than the relatively low pillar 16.



LEGAL STATUS

[Date of request for examination] 15.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-64953

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21)出願番号 特願平8-218928

(22)出願日 平成8年(1996)8月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 志村 忠幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 高橋 敬四郎

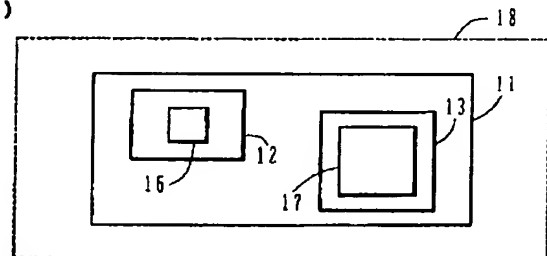
(54)【発明の名称】 フェースダウンボンディング半導体装置とその製造方法

(57)【要約】 (修正有)

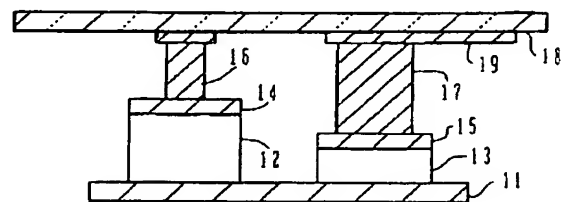
【課題】 表面高さの異なる電気接続部を有する半導体基板を配線電極を有する絶縁基板上にフリップチップボンディングするのに適したフェースダウンボンディング半導体装置とその製造方法に関し、表面に段差を有する半導体基板と、ピラーとを用い、均一なフェースダウンボンディングが可能なフェースダウンボンディング半導体装置とその製造方法を提供することである。

【解決手段】 1表面に表面高さの異なる電気接続部を形成した半導体基板11と、表面に配線用電極19を形成した絶縁基板18との、それぞれ前記電気接続部と前記配線用電極19とを電気的、機械的に接続する高さの異なる導電性ピラー16、17について、相対的に高いピラー17が相対的に低いピラー16よりも大きな径を有するように構成する。

(A)



(B)



11:半導体基板 16,17:導電性ピラー
12,13:回路素子 18:絶縁基板
14,15:表面電極 19:配線用電極

【特許請求の範囲】

【請求項1】 1表面に表面高さの異なる電気接続部を形成した半導体基板と、

表面に配線用電極を形成した絶縁基板と、

前記電気接続部と前記配線用電極とを電気的、機械的に接続する高さの異なる導電性ピラーであって、相対的に高いピラーが相対的に低いピラーよりも大きな径を有する導電性ピラーとを有するフェースダウンボンディング半導体装置。

【請求項2】 前記半導体基板は、前記1表面の表面層に形成され、第1の高さの表面電極を有する半導体素子と、前記1表面上に形成され、第1の高さより高い第2の高さの表面電極を有する回路素子とを含み、前記電気接続部は前記表面電極である請求項1記載のフェースダウンボンディング半導体装置。

【請求項3】 前記導電性ピラーは約60 μ m以下の径を有する請求項1または2記載のフェースダウンボンディング半導体装置。

【請求項4】 さらに、前記半導体基板と前記絶縁基板との一方のみに接続され、他方との間に間隙を有するモニタピラーを有する請求項1～3のいずれかに記載のフェースダウンボンディング半導体装置。

【請求項5】 1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板とを準備する工程と、

前記半導体基板および前記絶縁基板の一方の基板上に、前記電気接続部または前記配線用電極の一部の導電性表面を露出する径の異なる複数の開口部を有するレジストパターンを形成する工程と、

前記一方の基板上の複数の開口部内に露出する導電性表面をメッキ液に接触させ、ピラーを形成するメッキ工程と、

前記ピラーを形成した一方の基板と他方の基板とをフェースダウンボンディングする工程とを含み、表面高さの高い電気接続部に接続するピラーの径は、表面高さの低い電気接続部に接続するピラーの径よりも小さいフェースダウンボンディング半導体装置の製造方法。

【請求項6】 前記レジストパターンを形成する工程は、前記一方の基板の上にレジスト層を複数回塗布する工程を含む請求項5記載のフェースダウンボンディング半導体装置の製造方法。

【請求項7】 前記レジストパターンを形成する工程は、複数回塗布したレジスト層にコンタクト露光ないしプロキシシティ露光を行う工程を含む請求項6記載のフェースダウンボンディング半導体装置の製造方法。

【請求項8】 前記メッキ工程は電解メッキを行う請求項5～7のいずれかに記載のフェースダウンボンディング半導体装置の製造方法。

【請求項9】 前記メッキ工程は無電解メッキを行う請求項5～7のいずれかに記載のフェースダウンボンディ

ング半導体装置の製造方法。

【請求項10】 前記メッキ工程は高さの異なるモニタ用ピラーも形成し、さらにモニタ用ピラーのボンディング状態を検査し、ボンディングの良否を判断する工程を含む請求項5～9のいずれかに記載のフェースダウンボンディング半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フェースダウンボンディング半導体装置とその製造方法に関し、特に、表面高さの異なる電気接続部を有する半導体基板を配線電極を有する絶縁基板上にフリップチップボンディングするのに適したフェースダウンボンディング半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、通信システム等の高帯域化に伴い、動作周波数の高い半導体装置に対する要求が強くなっている。GaAs等の化合物半導体は、Siよりも高いキャリア移動度を有し、高速動作する半導体装置に適している。但し、化合物半導体を用いた半導体チップはSiを用いた半導体チップよりも高価である。

【0003】多くの用途において、回路全体に高速動作が要求されることは少なく、その一部が高速動作できればよい。また、高速動作よりも高集積密度が望まれる回路部分もある。そこで回路中高速（高周波）動作の要求される部分のみを化合物半導体等のチップに作成する方法が採られる。

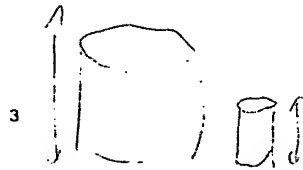
【0004】高周波回路においては、線路のインダクタンスやキャパシタンスを低減することが重要である。高周波用半導体チップは、なるべく低抵抗で短い接続手段によって線路に接続することが望ましい。半導体基板上の表面電極を絶縁基板上の配線電極にバンプ、ピラー等を用いて接続するフリップチップボンディング等のフェースダウンボンディングは、このような目的に適している。

【0005】

【発明が解決しようとする課題】バンプ、ピラー等を用いてフェースダウンボンディングする場合、バンプやピラーは通常同一高さに形成される。半導体表面が段差を有する場合、段差表面上に直接フェースダウンボンディングすることは困難である。バンプやピラーを押しつぶすことによって若干の高低差を吸収するとしても、ボンディング特性を均一にすることが困難となる。

【0006】本発明の目的は、表面に段差を有する半導体基板と、ピラーとを用い、均一なフェースダウンボンディングが可能なフェースダウンボンディング半導体装置とその製造方法を提供することである。

【0007】本発明の他の目的は、高さの異なるピラーを基板上に容易に作成することのできるフェースダウンボンディング半導体装置の製造方法を提供することであ



(3)

4

る。

【0008】

【課題を解決するための手段】本発明の一観点によれば、1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板と、前記電気接続部と前記配線用電極とを電気的、機械的に接続する高さの異なる導電性ピラーであって、相対的に高いピラーが相対的に低いピラーよりも大きな径を有する導電性ピラーとを有するフェースダウンボンディング半導体装置が提供される。

【0009】ピラーの径を変化させることにより、高さの異なるピラーを容易に作成することができる。径の選択により、ピラーの高さを選択することができる。

【0010】本発明の他の観点によれば、1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板とを準備する工程と、前記半導体基板および前記絶縁基板の一方の基板上に、前記電気接続部または前記配線用電極の一部の導電性表面を露出する径の異なる複数の開口部を有するレジストパターンを形成する工程と、前記一方の基板上の複数の開口部内に露出する導電性表面をメッキ液に接触させ、ピラーを形成するメッキ工程と、前記ピラーを形成した一方の基板と他方の基板とをフェースダウンボンディングする工程とを含み、表面高さの高い電気接続部に接続するピラーの径は、表面高さの低い電気接続部に接続するピラーの径よりも小さいフェースダウンボンディング半導体装置の製造方法が提供される。

【0011】基板上に径の異なる開口部を有するレジストパターンを形成し、メッキを行うと、新鮮メッキ液の供給が開口部の径によって変化し、高さの異なるメッキ層が作成される。このようなメッキ層を用いて、高さの異なるピラーを作成することができる。

【0012】

【発明の実施の形態】以下、制限的な意味なく、本発明の実施例によるフリップチップボンディング半導体装置およびその製造方法を説明する。なお、同様な手法が他のフェースダウンボンディング半導体装置にも適用できることは自明であろう。

【0013】図1(A)、(B)は、本発明の基本実施例を示す。図1(A)は、半導体基板11の平面図を示し、図1(B)はフリップチップボンディング半導体装置の縦断面図を示す。

【0014】図1(A)に示すように、半導体基板11の表面上には、回路素子12、13が形成されている。

【0015】図1(B)に示すように、これらの回路素子12、13は異なる高さを有する。これらの回路素子12、13の表面上には表面電極14、15が形成されている。

【0016】配線用電極19を形成した絶縁基板18を半導体基板11の表面にピラーを用いてフリップチップ

ボンディングしようとする、図1(B)に示すように、高さの異なる導電性ピラー16、17を用いることが必要である。半導体基板表面上の段差を相殺する高さの異なるピラー16、17を用いれば、半導体基板11上の表面電極14、15を絶縁基板18上の配線用電極19にフリップチップボンディングすることができる。

【0017】以下、このような高さの異なるピラーをどのように作成し、どのように用いるかをより詳細に説明する。

【0018】図2(A)は、下地表面上に開口を有するレジストマスクを形成し、開口内に露出された面積にメッキを行った時のメッキ層の高さの変化を示すグラフである。横軸は開口の径Dを単位 μm で示し、縦軸はメッキ層の高さを単位 μm で示す。

【0019】図2(B)は、用いたサンプルの構成を概略的に示す。絶縁基板18の表面上に種金属層31を形成し、その表面上にホトレジスト層32を塗布してある。ホトレジスト層32は、複数回塗布することにより、 t の厚さを有する。ホトレジスト層32にコンタクト露光またはプロキシミティ露光を行うことにより、開口38が形成される。開口38は、種々の径Dを有するように設計される。

【0020】異なる径Dの開口を有するホトレジスト層32で覆われた種金属層31上に、メッキを行ってメッキ層35を成長させる。レジスト層除去後、シンタ処理を行う。メッキ層35の高さHを開口径Dの関数として測定する。

【0021】メッキ液としては、析出効率の異なるシアン系メッキ液を用いた。図2(A)において、曲線Ha1、Ha2は、商品名オートロネクスのシアン系メッキ液を用いた場合の結果を示す。曲線Hb1、Hb2は、商品名テンペレックスのシアン系メッキ液を用いた場合の実験結果を示す。なお、開口の深さ、すなわちホトレジスト層の厚さを変化させることによって特性を調整できる。曲線Ha1とHa2は、ホトレジストの厚さを変化させることによって調整した特性を示す。曲線Hb1とHb2についても同様である。各レジスト層の厚さは、Ha1: $14\mu\text{m}$ 、Ha2: $25\mu\text{m}$ 、Hb1: $20\mu\text{m}$ 、Hb2: $25\mu\text{m}$ である。

【0022】図2(A)の各曲線から明らかなように、開口の径Dを増大していくと、形成されるメッキ層の高さHは、初め急激に増大し、やがて飽和する傾向を示す。径Dによって高さHが変化する領域は、ホトレジストの厚さを調整することによってかなり広範囲に選択することができる。したがって、高さの異なるメッキ層を得たい場合には、所望の高さを含む特性を選択し、その特性曲線上で所望の高さを実現する径Dを選択すればよい。

【0023】以下、より具体的な実施例を説明する。図3(A)は、本発明の実施例による化合物半導体チップ

を用いたフリップチップボンディング半導体装置の断面図を示す。半導体基板11は、たとえばGaAsで形成され、表面にチャネル層21を有する。チャネル層の周囲は、半絶縁領域22で囲まれている。チャネル層21上に、ゲート電極28、ソース電極27s、ドレイン電極27dが形成され、MESFETが形成されている。なお、ゲート電極28はチャネル層21にショットキ接触を形成し、ソース/ドレイン電極27s、27dはチャネル層にオーミック接触を形成する。なお、ソース/ドレイン電極27s、27dは、たとえば厚さ35nmのAuGe層、厚さ11nmのNi層、厚さ154nmのAu層の積層で形成される。

【0024】MESFETの左方の半絶縁領域22上には、たとえば厚さ約240nmのSiON層23が形成され、その上にキャパシタ下部電極24が形成されている。キャパシタ下部電極24は、たとえば厚さ10nmのTi層と厚さ300nmのAu層の積層で形成される。キャパシタ下部電極24の上には、厚さ約240nmのSiON層25が形成され、その上にキャパシタ上部電極26が形成されている。キャパシタ上部電極26は、キャパシタ下部電極24と同様、たとえば厚さ約10nmのTi層と厚さ約300nmのAu層の積層で形成される。このような構成によれば、FETのソース/ドレイン電極27表面と、キャパシタの上部電極26表面との間には約1μmの段差が生じる。

【0025】なお、半導体基板表面上には絶縁保護層29が形成されている。絶縁保護層29には、電極表面の中央部を露出する開口が形成されている。露出された電極表面上に、表面電極14、15s、15dが形成されている。

【0026】絶縁基板18上には、配線用電極19c、19s、19dが形成されている。表面電極14、15s、15d、配線用電極19c、19s、19dを均一に接続するために、高さの異なる導電性ピラー16、17s、17dを用いる。これらの導電性ピラーは、絶縁基板18上に形成しても、半導体基板11上に形成してもよい。

【0027】図3(B)は、半導体基板11の平面構成を概略的に示す。図中右側に電界効果トランジスタFETが形成され、左側にキャパシタCAPが形成されている。キャパシタの表面電極14上には、径の小さい導電性ピラー16が配置される。FETのソースおよびドレイン上の表面電極15s、15dの上には、径の大きい導電性ピラー17s、17dが配置される。なお、ゲート電極28は、図3(A)と異なる場所で絶縁基板18上に引き出される。

【0028】トランジスタFETおよびキャパシタCAPを作成した半導体基板11の製造工程は、従来周知の方法によって実施することができる。次に、絶縁基板18上に高さの異なる導電性ピラーを作成する方法を説明す

る。

【0029】図4(A)は、絶縁基板18上に開口を有するホトレジスト層32を形成する工程を示す。

【0030】配線用電極(図示せず)を有する絶縁基板18上に、種金属層31を形成する。たとえば、厚さ約100nmのAu層または厚さ約100nmのTiW層と厚さ約100nmのAu層の積層を形成する。種金属層31の形成は、スパッタリング、蒸着、メッキ等によって行うことができる。種金属層31の表面上に、粘性の高いレジスト材料を用い、ホトレジスト層32を形成する。図2(A)の曲線Hb2を用いるため、レジスト層を2回塗布することにより、厚さ約25μmのホトレジスト層32を形成する。

【0031】このホトレジスト層上に、マスクMを配置し、コンタクト露光またはプロキシミティ露光により開口部を露光する。ホトレジスト層を現像することにより、開口38を形成する。なお、ポジ露光の場合を説明したが、ネガ露光で行ってもよい。この場合に、マスクの白黒は反転する。

【0032】図3(A)におけるFETとキャパシタCAPの段差1μmを吸収するため、高さ19μmのピラーと高さ20μmのピラーを作成することにする。図2(A)の曲線Hb2を用いると、高さ19μmと高さ20μmのメッキ層を作成するには、開口部の径Dが約32.3μmφと約34.6μmφであればよいことが分かる。図4(A)に示す開口38の径は、このようにして設計する。

【0033】図4(B)は、絶縁基板18上の種金属層31上にメッキを行う工程を示す。径の異なる開口部を有するホトレジスト層32を形成した絶縁基板18を、対向電極34と共にメッキ液33中に浸漬する。対向電極34に正電位、絶縁基板上の種金属層31に負電位を与え、43℃のメッキ液33中に5.8A/Wfの電流を133分間流す。この時、メッキ層の成長速度は約0.15μm/minである。

【0034】図4(C)は、このようにして形成されたメッキ層の状態を概略的に示す。キャパシタ用の開口には、高さ約19μmのメッキ層35cが成長し、FETのソース/ドレイン電極に対応する開口中には、高さ約20μmのメッキ層35s、35dが成長する。

【0035】このように所望高さのメッキ層を形成した後、図4(D)に示すように、ホトレジスト層32を除去する。その後、イオンミリングによりピラー状メッキ層以外の部分の種金属層31を除去する。このようにして、絶縁基板18上に所望高さのピラー状メッキ層35を形成することができる。

【0036】このように、所望高さのピラーを形成した絶縁基板を半導体基板11上に配置し、半導体基板の表面電極にボンディングすることにより、図3(A)に示すフリップチップボンディング半導体装置を完成するこ

とができる。

【0037】なお、絶縁基板上にピラーを形成する場合を説明したが、半導体基板にピラーを形成することもできる。

【0038】図5は半導体基板11上に導電性ピラーを作成する工程を概略的に示す。半導体基板11上に、ホトレジスト層36を塗布する。前述のレジスト層塗布工程と同様、所望回の塗布を繰り返すことにより、十分厚いホトレジスト層36を形成する。ホトレジスト層36上にマスクを配置し、コンタクト露光またはプロキシミティ露光により所望パターンの露光を行う。ホトレジスト層36を現像することにより、表面電極14、15s、15dを露出する開口38を形成する。

【0039】以後、前述の実施例同様、図4(B)に示すようなメッキ工程を行い、表面電極14、15s、15d上にピラー16、17s、17dを形成する。その後、ホトレジスト層36は除去する。

【0040】図6は、本発明の他の実施例による半導体装置を概略的に示す。半導体基板11上に絶縁基板18をボンディングする。半導体基板11周辺部の表面上に、次第に高さが低くなるピラー41、42、43を形成する。これらはボンディングのモニタピラーであり、半導体基板11の他の場所には、回路部分が形成され、回路部分上に電氣的接続用の導電性ピラーが別に形成される。

【0041】たとえば、モニタ用ピラー42の高さは回路部分の電気接続に必要なピラーと同等の高さであるとする。最も高いピラー41が押しつぶされ、次に高いピラー42が絶縁基板11とボンディングされた状態が良好な状態である。絶縁基板18を押しすぎると、低いピラー43も絶縁基板18と接触してしまう。

【0042】このように、高さの異なる3本のピラーのうち2本が接続された状態が良好な状態である。1本のピラーのみが接続された状態は押しかたが不足する状態であり、3本とも接続された状態は押し過ぎの状態である。

【0043】半導体装置の製造プロセスにおいて、フリップチップボンディングを行った後、モニタ用ピラー41、42、43のボンディングの状態を目視することにより、ボンディングの良否を簡単に判断することができる。すなわち、電流を流すことなく、ボンディングの過不足を簡便に判断することが可能となる。

【0044】なお、半導体基板がトランジスタとキャパシタを有する場合を説明したが、これは単なる例示であり、どのような構成の半導体基板であってもよい。半導体基板は化合物半導体基板に制限されない。Si基板を用いても、フリップチップボンディング等のフェースダウンボンディングの利点を得ることができる。

【0045】表面に段差を有する半導体基板と、表面に配線用電極を形成した絶縁基板をフェースダウンボンデ

ィングする場合を説明したが、平坦な表面を有する基板と段差表面を有する基板間をフェースダウンボンディングする場合に同様の工程を実施することができる。たとえば、Si基板上に化合物半導体基板をフリップチップボンディングしてもよい。

【0046】レジストマスクを形成した基板をメッキ液に浸漬して電解メッキする場合を説明したが、無電解メッキを用いてもよい。パッド法等、他のメッキ法を用いてもよい。

【0047】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0048】

【発明の効果】以上説明したように、本発明によれば、段差表面を有する半導体基板と平坦な表面を有する基板とを均一にフリップチップボンディングすることができる。

【図面の簡単な説明】

【図1】本発明の基本実施例による半導体装置を示す平面図、断面図である。

【図2】実験結果を示すグラフと実験に用いたサンプルの構成を示す概略断面図である。

【図3】本発明のより具体的な実施例を示す断面図および平面図である。

【図4】本発明の実施例によるメッキ工程を説明するための断面図である。

【図5】本発明の他の実施例によるメッキ工程を示す断面図である。

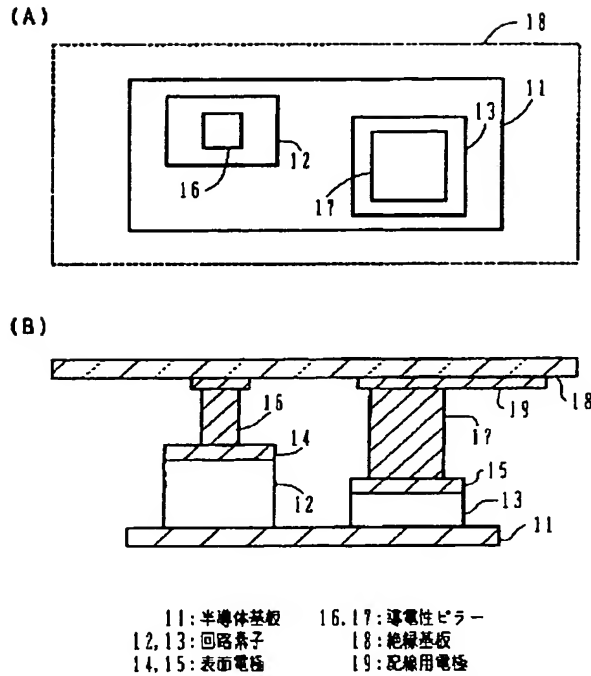
【図6】本発明の他の実施例によるモニタ用ピラーの機能を説明するための断面図である。

【符号の説明】

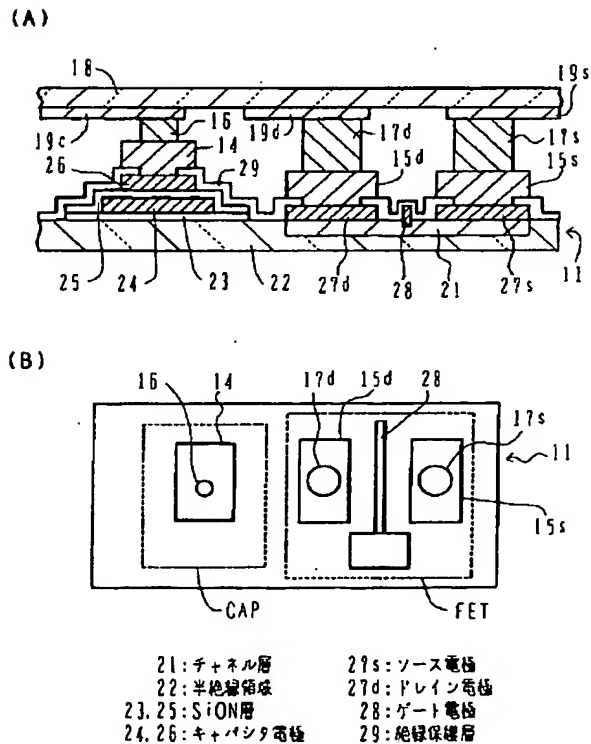
- 11 半導体基板
- 12、13 回路素子
- 14、15 表面電極
- 16、17 導電性ピラー
- 18 絶縁基板
- 19 配線用電極
- 21 チャネル層
- 22 半絶縁領域
- 23、25 SiON層
- 24、26 キャパシタ電極
- 27s ソース電極
- 27d ドレイン電極
- 28 ゲート電極
- 29 絶縁保護層
- 31 種金属層
- 32 ホトレジスト層
- 33 メッキ液
- 34 対向電極

36 ホトレジスト層

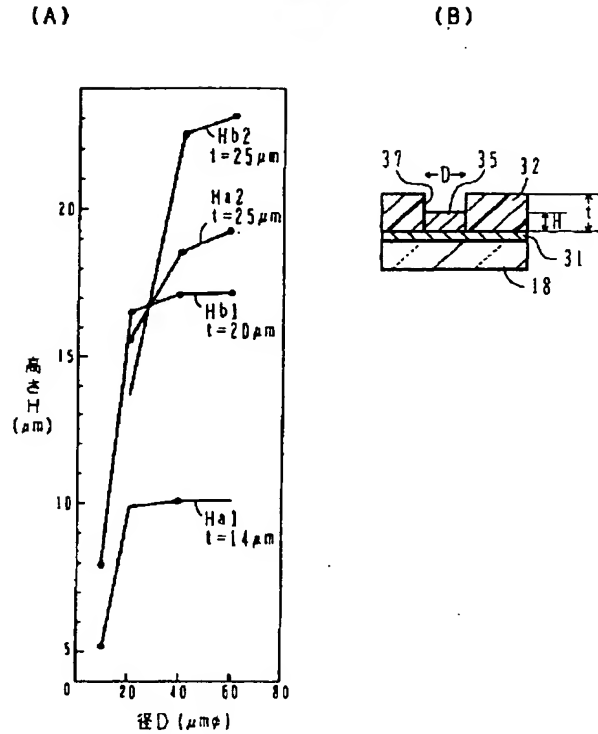
【図1】



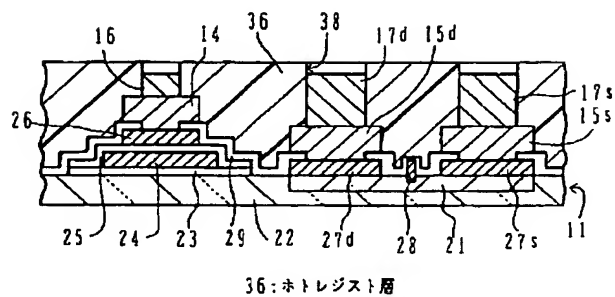
【図3】



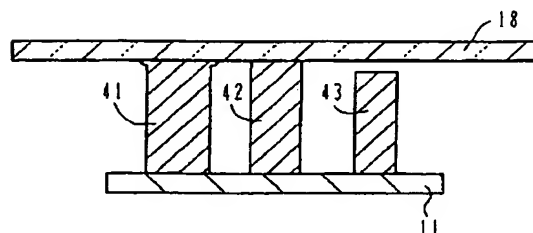
【図2】



【図5】



【図6】



【図4】

